

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112158

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H01L 21/28
H01L 21/336
H01L 29/784

(21)Application number : 04-256938

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.09.1992

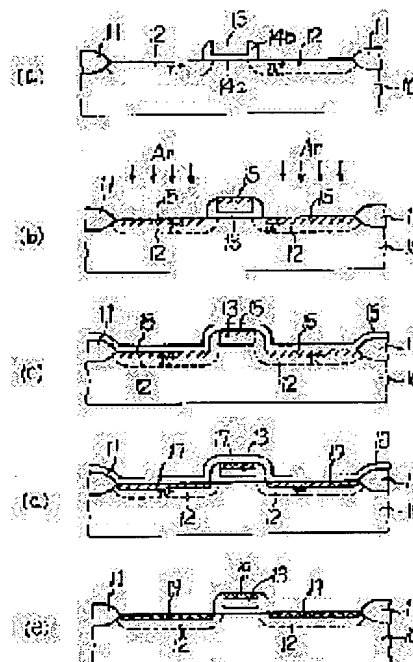
(72)Inventor : NISHIYAMA AKIRA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To facilitate transfer of a metal silicide phase in a subsequent thermal treatment process by implanting ions in one of processes before the thermal treatment in a metal silicide layer formation process including a metal layer formation process, a reaction process, a metal removal process and the metal treatment process.

CONSTITUTION: Annealing is performed in nitrogen gas to form an n⁺ diffusion layer 12. Then argon ion implantation is performed into an entire face, thereby forming an Ar implantation layer 15 on surfaces of the n⁺ diffusion layer 12 and a gate electrode 13. Then a titanium film 16 is deposited on an entire surface. Then by annealing in N₂ gas, a layer 17 of metastable metal silicide phase TiSi is formed between an upper face of the n⁺ diffusion layer 12 and the gate electrode and a lower face of the Ti film 16. Then by annealing, phase transfer is caused in a TiSi₂ layer 17 to form a TiSi₂ layer 19. Then a layer insulating layer 20, an Al wiring layer 21 and a passivation film 22 are formed.



LEGAL STATUS

[Date of request for examination] 01.07.1999

[Date of sending the examiner's decision of rejection] 09.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3234002

[Date of registration] 21.09.2001

[Number of appeal against examiner's decision of rejection] 2001-05448

[Date of requesting appeal against examiner's decision of rejection] 09.04.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-112158

(43) 公開日 平成6年(1994)4月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 T	9055-4M		
21/336				
29/784				
		7377-4M	H 0 1 L 29/78	3 0 1 P

審査請求 未請求 請求項の数4(全 8 頁)

(21) 出願番号 特願平4-256938

(22) 出願日 平成4年(1992)9月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西山 彰

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

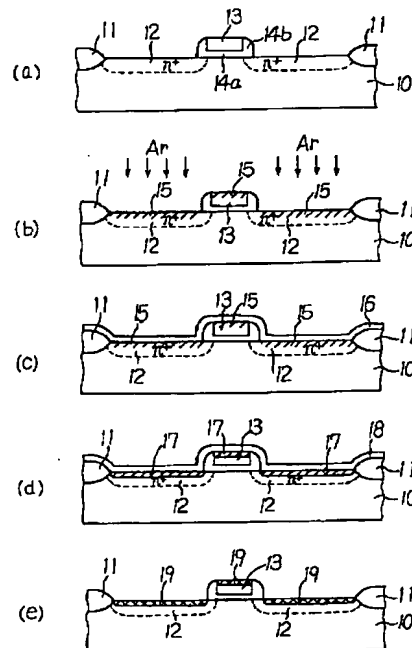
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 微細化されたS i系半導体領域に低抵抗の金属シリサイドを形成することができる、半導体装置の製造方法を提供する。

【構成】 金属シリサイド層形成工程として、Arをイオン注入することによってn⁺拡散層12およびゲート電極13の表面にAr注入層15を形成する工程と、全面にチタン膜16を形成する工程と、n⁺拡散層12およびゲート電極13とチタン膜16との界面にアニールにより準安定な金属シリサイド相であるT i S i₂ (C49)膜17を形成する工程と、T i S i₂ (C49)膜17とならなかった部分からなる混合層18を選択的に除去する工程と、アニールによりT i S i₂ (C54)膜19を形成する工程とを含む。



【特許請求の範囲】

【請求項1】シリコン系半導体領域上に金属シリサイド層を形成する金属シリサイド層形成工程を含む半導体装置の製造方法であって、

この金属シリサイド層形成工程が、

前記シリコン系半導体領域の全面に金属層を形成する金属層形成工程と、

前記シリコン系半導体領域と前記金属層とを反応させることにより準安定な相の金属シリサイド層を形成する反応工程と、

前記金属層のうち、前記反応工程で前記金属シリサイド層とならなかった部分を除去する金属除去工程と、

金属除去後の前記金属シリサイド層に熱処理を施して相転移を起こさせる熱処理工程と、

前記金属層形成工程の前、または、この金属層形成工程の後で前記熱処理工程の前に行われる、イオン注入工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記金属シリサイド形成工程が、MISTランジスタのソース領域上、ドレイン領域上およびゲート電極上の全面または一部の面に金属シリサイドを形成するための工程であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記イオン注入工程において注入されるイオンが、ヘリウムイオン、キセノンイオン、クリプトンイオン、ネオンイオン、ラドンイオン、窒素イオン、酸素イオン、炭素イオン、シリコンイオンのいずれかであることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】前記イオン注入工程における前記イオンのドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1～3のいずれか記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、より詳細には、シリコン系半導体領域上に金属シリサイドを選択的に形成する工程を含む半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来のこの種の半導体装置の製造方法について、相補型MIS(Metal Insulator Semiconductor)ランジスタの場合を例にとって説明する。

【0003】近年、シリコン(Si)を用いたMISTランジスタ集積回路の微細化、高集積化が進んでいる。ここで、集積回路の微細化が進むと、その分ソース/ドレイン拡散層と金属配線とのコンタクト孔も小さくなり、このためコンタクト抵抗が増大する。また、ソース/ドレイン拡散層が浅くなるので、これらの拡散層のシート抵抗も増大する。そして、これらのコンタクト抵抗

の増大やシート抵抗の増大は、MISTランジスタの電流駆動力を減少させ、半導体装置の動作スピードを劣化させる原因となる。

【0004】また、集積回路の微細化によって、ゲート電極のゲート長も小さくなる。これにより、ゲート電極の抵抗が増大するので、ゲート電極の充電時間が長くなってしまふ。このことも、半導体装置の動作スピードを劣化させる原因となる。

【0005】このような、ソース/ドレイン拡散層やゲート電極の抵抗の増大による動作スピードの劣化は、一般に、ソース、ドレイン、ゲートの各電極が $10 \mu\text{m}$ よりも小さくなると無視できないものとなる。

【0006】これに対して、上述のごとき抵抗の低下を図るために、シリサイド工程(自己整合によってシリサイドを形成する工程)によって、かかるソース/ドレイン拡散層上およびゲート電極上に金属シリサイドを形成した半導体装置が知られている。

【0007】かかる金属シリサイドは、以下のようにして、形成する。

【0008】①まず、シリコン基板60に素子分離用酸化膜61、ソース拡散層62a、ドレイン拡散層62b、ゲート酸化膜64およびゲート電極63を形成した後、このシリコン基板の全面に金属(ここではチタン(Ti)とする)65を堆積させる(図6(a)参照)。

【0009】②その後、 750°C でアニールを行うことにより、Ti膜65とソース拡散層62a、ドレイン拡散層62bおよびゲート電極63とをそれぞれ反応させる。これにより、比較的高抵抗のチタンシリサイド層である TiSi_2 (C49)層66が形成される(同図(b)参照)。

【0010】③ TiSi_2 (C49)66にならなかったTiを、過酸化水素水(H_2O_2)を含む溶液中で除去する(同図(c)参照)。

【0011】④さらに 600°C でアニールを行うことにより TiSi_2 (C49)層66の全域に相転移を生じさせ、低抵抗のチタンシリサイド層である TiSi (C54)層67を得る(同図(d)参照)。

【0012】このようにしてソース/ドレイン拡散層上およびゲート電極上に TiSi (C49)層67を形成することにより、これらの各部における抵抗を低減させ、半導体装置の動作スピードを向上させることができる。

【0013】

【発明が解決しようとする課題】上述のようなシリサイド形成工程によれば、ソース、ドレイン、ゲートの各電極が所定サイズ(例えば $1 \mu\text{m}$)より大きい場合には良好な金属シリサイド層を形成することができ、これらの各部の抵抗を低減させる上で有効である。

【0014】しかしながら、半導体集積回路の微細化が

さらに進み、これらの各電極のサイズが上述の所定サイズよりも小さくなるような場合には、上述のごとき従来の工程で金属シリサイドを形成しても、ソース/ドレイン拡散層やゲート電極の抵抗を低減させることはできなかった。

【0015】これは、ソース/ドレイン拡散層上やゲート電極上にシリサイド層が形成され難くなるというような理由によるものではなく、電極等が細くなることによって相転移が起こり難くなるためであると考えられている（参考文献；J.B.Losky et al, IEEE Transaction on Electron Devices, Vol38 No2 pp262-269）。すなわち、上述のようにT i S i₂（C49）はT i S i₂（C54）よりも抵抗が高いので、シリサイドの相転移が起こりにくくなってソース/ドレイン拡散層およびゲート電極上のT i S i₂（C49）層67内にT i S i₂（C49）が残留すると、これらの各部の抵抗を十分に低減させることはできなくなるのである。

【0016】また、電極等が細くなる程相転移が起こりにくくなる原因は定かではないが、シリサイドがチタンシリサイドである場合には、以下のような仮説が知られている（同参考文献参照）。

【0017】M I S Tランジスタの構成の一部を図7の斜視図に示す。同図において、（a）はゲート電極71の幅が広い場合を示し、（b）はゲート電極71の幅が狭い場合を示している。

【0018】T i S i₂（C49）層66からT i S i₂（C54）層67への相転移は、最初から全体的にむら無く起こるのではないと考えられている。すなわち、理由は定かではないが、アニールを開始すると、まず、T i S i₂（C49）層66中に、図7（a）に示したような散点状のT i S i₂（C54）領域68が発生すると考えられる（以下、この点状のT i S i₂（C54）領域68を「核」と称することとする）。そして、同図（a）に矢印および点線で示したように、この「核」がT i S i₂（C49）層66中で徐々に広がり、最後にはすべてのチタンシリサイドが相転移を起こしてT i S i₂（C54）層67になるのである。

【0019】ここで、この「核」の密度は、ゲート電極63の幅の広狭によっては変化しないと考えられる。したがって、同図（b）に示したように、ゲート電極63の幅が狭い場合には、T i S i₂（C49）層66内の「核」の数は少なくなるのである。

【0020】以上の仮説からすれば、電極等を細くした場合に、この電極上の金属シリサイド（上述の例ではチタンシリサイド）が完全に相転移を起こすようにするためには、「核」が発生する密度を高くすることが有効であると考えられる。すなわち、電極等を細くした分だけ「核」の発生密度を高して、金属シリサイド内の「核」の数を減少させないことにより、金属シリサイドの相転移が生じにくくなることを防止できるものと思われる。

【0021】一方、金属シリサイドの相転移が起こり難い場合の解決策としては、アニール温度を高くしたりアニール時間を長くしたりすることによって、相転移を促進させることも考えられる。

【0022】しかし、アニール温度を高くしたりアニール時間を長くしたりすると、図8に示したように、シリコン基板内の不純物の再拡散が生じやすくなって歩留りの悪化を招いたり、金属シリサイド層67の形状が変化し易くなって当該金属シリサイド層67の厚さの均一性が損なわれたりしてしまい、かえって電極抵抗が増大してしまう場合がある。

【0023】本発明は、このような従来技術の欠点に鑑みてなされたものであり、微細化されたS i系半導体領域上に低抵抗の金属シリサイドを形成することができる、半導体装置の製造方法を提供することを目的とする。

【0024】

【課題を解決するための手段】本発明に係わる半導体装置の製造方法は、シリコン系半導体領域上に金属シリサイド層を形成する金属シリサイド層形成工程を含む半導体装置の製造方法であって、この金属シリサイド層形成工程が、前記シリコン系半導体領域の全面に金属層を形成する金属層形成工程と、前記シリコン系半導体領域と前記金属層とを反応させることにより準安定な相の金属シリサイド層を形成する反応工程と、前記金属層のうち、前記反応工程で前記金属シリサイド層とならなかった部分を除去する金属除去工程と、金属除去後の前記金属シリサイド層に熱処理を施して相転移を起こさせる熱処理工程と、前記金属層形成工程の前、または、この金属層形成工程の後で前記熱処理工程の前に行われる、イオン注入工程と、を含むことを特徴とする。

【0025】

【作用】金属層形成工程、反応工程、金属除去工程および熱処理工程を含む金属シリサイド層形成工程において、熱処理工程の前のいずれかの段階でイオン注入を行うことにより、その後に行う熱処理工程における金属シリサイドの相転移を促進させる。

【0026】また、注入するイオンとしてシリコンのドーパントとならない原子のイオンを用いることにより、シリコン系半導体領域の導電性等に影響を与えることを防止する。

【0027】

【実施例】以下、本発明の実施例について、図面を用いて説明する。

【0028】（実施例1）本発明に係わる半導体装置の製造方法の第1の実施例について、図1～図3を用いて説明する。本実施例では、本発明に係わる半導体装置の製造方法を用いてMOS（Metal Oxide Semiconductor）トランジスタを製造する場合を例に採って説明する。

【0029】まず、本実施例に係わるMOSトランジスタ

5

タの構成について、図1を用いて説明する。

【0030】同図に示したように、面方向が例えば(100)のp型Si基板10の表面の、素子分離用酸化膜11で挟まれた領域には、ソース拡散領域12aとドレイン拡散領域12bとが、それぞれ形成されている。また、かかるソース拡散領域12aとドレイン拡散領域12bとの間の領域のp型Si基板10上には、ゲート酸化膜14aを介してゲート電極13が形成されている。そして、ゲート電極13の側面には、ゲート電極側壁14bが形成されている。

【0031】ソース拡散領域12a、ドレイン拡散領域12bおよびゲート電極13の表面には、それぞれ、 $TiSi_2$ (C54) 層19が形成されている。そして、この上に層間絶縁層20が形成され、さらにアルミニウム(A1)配線層21およびパッシベーション膜22が形成されている。ソース拡散領域12aおよびドレイン拡散領域12bとA1配線層21とは、層間絶縁層20に形成されたコンタクトホール20aを介して接続される。

【0032】次に、図1に示したMOSトランジスタの製造方法について、図2を用いて説明する。

【0033】①まず、p型Si基板10の表面に、素子分離用の酸化膜11を形成する。

【0034】②続いて、全面に酸化膜を堆積させ、さらに、この酸化膜上に厚さ3000Å(オングストローム)の多結晶Si膜を堆積させる。そしてフォソグラフィ工程により、これらの酸化膜および多結晶Si膜からそれぞれゲート酸化膜14aおよびゲート電極13を形成する。

【0035】③次に、全面にSi酸化膜を堆積した後、全面をエッチバックすることにより、ゲート電極側壁14bを形成する。

【0036】④全面に、ひ素(As)を $5.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、さらに、窒素(N_2)ガス中で1000℃、20秒間のアニールを行ってAsを活性化することによって、 n^+ 拡散層(ソース拡散領域12a、ドレイン拡散領域12b)12を形成する。このとき、ゲート電極13中にもAsイオンが注入されるので、このゲート電極13を形成する多結晶Si膜は n^+ ドーパント多結晶Si膜となる(図2(a)参照)。

【0037】⑤その後、全面に、アルゴン(Ar)を30keV、 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入することにより、 n^+ 拡散層12およびゲート電極13の表面にAr注入層15を形成する(本発明の「イオン注入工程」に該当する。以下「」内同じ;同図(b)参照)。

【0038】⑥続いて、全面に、厚さ300Åのチタン(Ti)膜16を堆積させる(「金属層形成工程」;同図(c)参照)。

【0039】⑦そして、 N_2 ガス中で700℃、30秒間のアニールを行うことにより、 n^+ 拡散層12および

6

ゲート電極13の上面とTi膜16の下面との間に、準安定な金属シリサイド相である $TiSi_2$ (C49)の層17を形成する(「反応工程」;同図(d)参照)。このとき、Ti膜16のうち、 $TiSi_2$ (C49)層17とならなかった部分は、反応しなかったTiと、雰囲気ガスである N_2 と反応して生成されたTiNとが混在して、混合層18を形成している。この混合層18は、過酸化水素水(H_2O_2)を含有する溶液中での処理によって選択的に除去される(「金属除去工程」)。

10 【0040】⑧850℃、20秒間のアニールを行うことにより、 $TiSi_2$ (C49)層17に相転移を生じさせ、 $TiSi_2$ (C54)層19を形成する(「熱処理工程」;同図(e)参照)。

【0041】⑨その後、層間絶縁層20、A1配線層21、パッシベーション膜22等を形成し、図1に示したようなMOSトランジスタを得る。

【0042】次に、このようにして製造したMOSトランジスタの特性について、図3を用いて説明する。

【0043】同図において、(a)は、 n^+ 拡散層12の幅とシート抵抗との関係を示すグラフである。同グラフからわかるように、従来の製造方法によって製造されたMOSトランジスタは微細化されて n^+ 拡散層12の幅が狭くなるほどシート抵抗が大きくなるのに対し、本実施例のMOSトランジスタは n^+ 拡散層12の幅を狭くしてもシート抵抗は小さいままである。

【0044】これは、本実施例に係わる製造方法によって形成された金属シリサイド層($TiSi_2$ (C54)層19)の抵抗が低いためであると思われる。

【0045】また、このように本実施例に係わる製造方法によって低抵抗の金属シリサイド層を得ることができる理由は定かではないが、予めArのイオン注入を行ったことにより(上記工程⑤)、相転移を行わせるためのアニール(上記工程⑧)の際に、上述したような「核」の発生密度が高くなったためであると考えられる。すなわち、「核」の発生密度が高くなると $TiSi_2$ (C49)から $TiSi_2$ (C54)への相転移が行われ易くなるので、相転移せずに $TiSi_2$ (C49)のまま残る領域が少なくなり、金属シリサイド層全体としての抵抗が低減したものとするのが妥当である。

40 【0046】図3(b)は、上述の工程⑤において、Arのイオン注入を行う際のドーズ量を変えたときの(上記工程⑤では $1 \times 10^{14} \text{ cm}^{-2}$)、 n^+ /p接合の逆方向リーク特性の変化を示すグラフである。同グラフからわかるように、かかるドーズ量を大きくするほど接合部に導入されるダメージ量が多くなり、接合リークが増大する。したがって、例えば n^+ /p接合に3Vの電圧を印加したときのリーク電流を1nA(ナノ・アンペア)以下に抑えるためには、ドーズ量は $1 \times 10^{14} \text{ cm}^{-2}$ 以下とする必要がある。

【0047】以上説明したように、本実施例に係わる半

7

導体装置の製造方法によれば、ソース/ドレイン拡散層やゲート電極の抵抗を低減させた半導体装置、すなわち動作スピードに優れた半導体装置を製造することができる。

【0048】(実施例2)次に、本発明に係わる半導体装置の製造方法の第2の実施例について、図4を用いて説明する。なお、本実施例も、本発明に係わる半導体装置の製造方法を用いて図1に示したようなMOSトランジスタを製造する場合を例にとって説明する。

【0049】本実施例は、イオン注入工程を、金属層形成工程の後で行う点で、上述の実施例1と異なる。

【0050】以下、本実施例に係わる半導体装置の製造方法について、図4を用いて説明する。

【0051】①実施例1と同様にして、p型Si基板10の表面に素子分離用の酸化膜11を形成した後、ゲート酸化膜14a、ゲート電極13およびゲート電極側壁14bを形成する。

【0052】②さらに、実施例1と同様にして、n⁺拡散層12を形成するとともに、ゲート電極13を形成する多結晶Si膜にn⁺ドーピングを行う(図4(a)参照)。

【0053】③そして、全面に、厚さ300Å(オングストローム)のTi膜16を堆積させる(「金属層形成工程」；同図(b)参照)。

【0054】④次に、全面にアルゴン(Ar)をドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入することにより、n⁺拡散層12およびゲート電極13の表面にAr注入層15を形成する(「イオン注入工程」；同図(c)参照)。ここで、本実施例の場合は、n⁺拡散層12およびゲート電極13の表面とTi膜との界面でピークとなるようにArイオンを注入するために、注入エネルギーを50keVとする。

【0055】⑤続いて、実施例1と同様、N₂ガス中で700℃、30秒間のアニールを行うことにより、n⁺拡散層12およびゲート電極13とTi膜16との界面に、準安定な金属シリサイド相であるTiSi₂(C49)の層17を形成し(「反応工程」；同図(d)参照)、さらに、このとき形成されたTiとTiNとの混合層18を、過酸化水素水を含有する溶液中での処理によって選択的に除去する(「金属除去工程」)。

【0056】⑥その後、850℃、20秒間のアニールを行うことにより、TiSi₂(C49)層17に相転移を生じさせ、TiSi₂(C54)層19を形成する(「熱処理工程」；同図(e)参照)。

【0057】⑦最後に、層間絶縁層20、Al配線層21、パッシベーション膜22等を形成し、図1に示したようなMOSトランジスタを得る。

【0058】このようにして製造したMOSトランジスタも、図3とほぼ同様の特性を得ることができた。

【0059】このように、本実施例に係わる半導体装置

8

の製造方法によっても、ソース/ドレイン拡散層やゲート電極の抵抗を低減させた半導体装置、すなわち動作スピードに優れた半導体装置を製造することができる。

【0060】(実施例3)次に、本発明に係わる半導体装置の製造方法の第3の実施例について、図5を用いて説明する。なお、本実施例も、本発明に係わる半導体装置の製造方法を用いて図1に示したようなMOSトランジスタを製造する場合を例にとって説明する。

【0061】本実施例は、イオン注入工程を、反応工程の後、熱処理工程の前に行う点で、上述の実施例1と異なる。

【0062】以下、本実施例に係わる半導体装置の製造方法について、図5を用いて説明する。

【0063】①実施例1と同様にして、p型Si基板10の表面に素子分離用の酸化膜11を形成した後、ゲート酸化膜14a、ゲート電極13およびゲート電極側壁14bを形成する。

【0064】②さらに、実施例1と同様にして、n⁺拡散層12を形成するとともに、ゲート電極13を形成する多結晶Si膜にn⁺ドーピングを行う。

【0065】③そして、全面に、厚さ300Å(オングストローム)のTi膜16を堆積させる(「金属層形成工程」；図5(a)参照)。

【0066】④続いて、実施例1と同様、N₂ガス中で700℃、30秒間のアニールを行うことにより、n⁺拡散層12およびゲート電極13の上面とTi膜16の下面との間に、準安定な金属シリサイド相であるTiSi₂(C49)の層17を形成し(「反応工程」)、さらに、TiとTiNとの混合層18を、過酸化水素水を含有する溶液中での処理によって選択的に除去する(「金属除去工程」；同図(b)参照)。

【0067】⑤次に、全面にアルゴン(Ar)を30keV、 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入することにより、TiSi₂(C49)層17内にAr注入層15を形成する(「イオン注入工程」；同図(c)参照)。

【0068】⑥その後、850℃、20秒間のアニールを行うことにより、TiSi₂(C49)層17に相転移を生じさせ、TiSi₂(C54)層19を形成する(「熱処理工程」；同図(d)参照)。

【0069】⑦最後に、層間絶縁層20、Al配線層21、パッシベーション膜22等を形成し、図1に示したようなMOSトランジスタを得る。

【0070】このようにして製造したMOSトランジスタも、図3とほぼ同様の特性を得ることができた。

【0071】このように、本実施例に係わる半導体装置の製造方法によっても、ソース/ドレイン拡散層やゲート電極の抵抗を低減させることができ、したがって動作スピードに優れた半導体装置を製造することができる。

【0072】以上、本発明の実施例について説明したが、本発明はこれらの実施例に限定されるものではな

く、その要旨を変更しない範囲内で適宜変更して実施できることはもちろんである。

【0073】例えば、上述の各実施例では、本発明に係わる半導体装置の製造方法を用いてnチャネルMOSトランジスタを製造した場合について説明したが、pチャネルMOSトランジスタ等であってもよい。すなわち、本発明は、構造上細い電極を有するSi系の半導体装置でありさえすれば、どのような半導体装置であっても適用することができる。

【0074】また、上述の各実施例では金属シリサイドとしてチタンシリサイドを使用した場合を例にとって説明したが、例えばコバルトシリサイド、ニッケルシリサイド、プラチナシリサイド等の他の金属シリサイドにも適用できる。

【0075】さらに、上述の各実施例では金属シリサイドを形成する領域に予めArイオンを注入することとしたが、この注入イオンはSiO₂に注入されたときに導電性を示さないものでありさえすれば、いかなるイオンでもよい。例えば、このArイオンに代えて、ヘリウム(He)、キセノン(Xe)、クリプトン(Kr)、ネオン(Ne)、ラドン(Rn)、窒素(N)、酸素(O)、炭素(C)、シリコン(Si)等のイオンを使用してもよい。ただし、一般にSiへのドーパントとなるアーセン(As)、ボロン(B)、リン(P)、アンチモン(Sb)等は除く。

【0076】加えて、金属シリサイドの相転移を起こさせるためのアニールは、パッシベーション膜22の形成等の他の工程の後に行ってもよい。

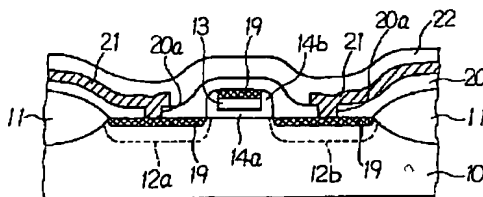
【0077】併せて、アニールやイオン注入の各条件が上述の各実施例で示した値に限定されるものでないことも、もちろんである。

【0078】

【発明の効果】以上詳細に説明したように、本発明に係わる半導体装置の製造方法によれば、微細化された領域上であっても、低抵抗の金属シリサイドを形成することができる。

【0079】特に、本発明をソース/ドレイン拡散層およびゲート電極に金属シリサイドを有する半導体装置の製造に適用することにより、動作スピードに優れた半導体装置を製造することができる。

【図1】



【図面の簡単な説明】

【図1】本発明の1実施例に係わる半導体装置の製造方法によって製造されたMOSトランジスタの構成を概略的に示す断面図である。

【図2】本発明の1実施例に係わる半導体装置の製造方法を説明するための工程図である。

【図3】図2に示した製造方法で製造したMOSトランジスタの特性を示すものであり、(a)はn⁺拡散層の幅とシート抵抗との関係を示すグラフ、イオン注入時のドーズ量とn⁺/p接合の逆方向リーク特性との関係を示すグラフである。

【図4】本発明の第2の実施例に係わる半導体装置の製造方法を説明するための工程図である。

【図5】本発明の第2の実施例に係わる半導体装置の製造方法を説明するための工程図である。

【図6】従来の半導体装置の一構成例を概略的に示す断面図である。

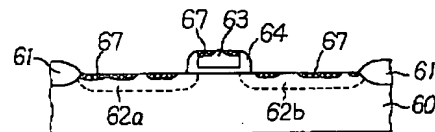
【図7】(a), (b)ともに従来の半導体装置の一部を示す斜視図である。

【図8】従来の半導体装置の一構成例を概略的に示す断面図である。

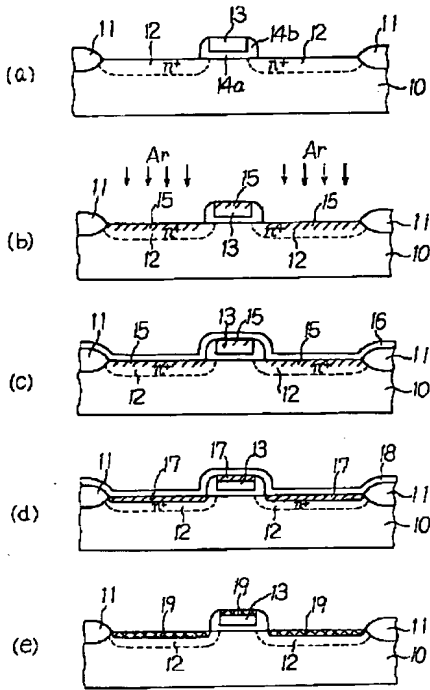
【符号の説明】

- 10 p型半導体基板
- 11 素子分離用酸化膜
- 12 n⁺拡散層
- 12a ソース拡散領域
- 12b ドレイン拡散領域
- 13 ゲート電極
- 14 酸化膜
- 14a ゲート酸化膜
- 14b ゲート電極側壁
- 15 Ar注入層
- 16 Ti膜
- 17 TiSi₂ (C49) 層
- 18 Ti・TiN混合層
- 19 TiSi₂ (C54) 層
- 20 層間絶縁層
- 21 Al配線層
- 22 パッシベーション膜

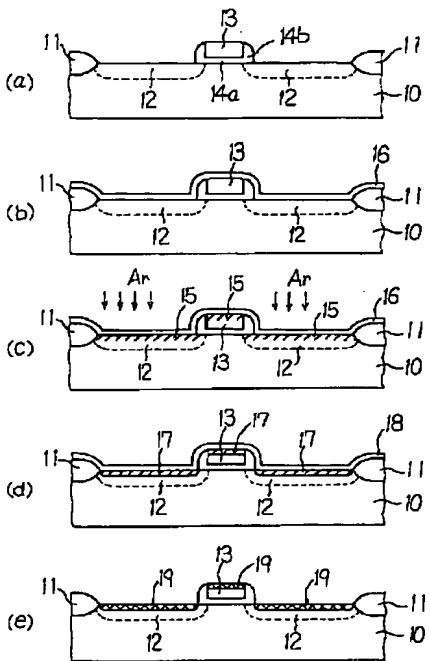
【図8】



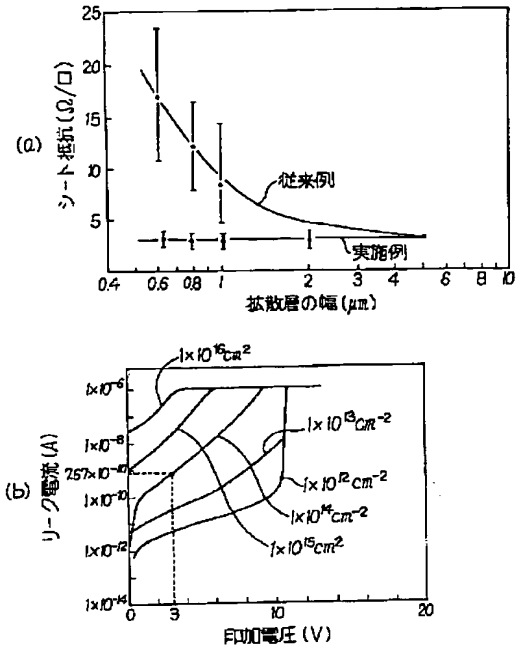
【図2】



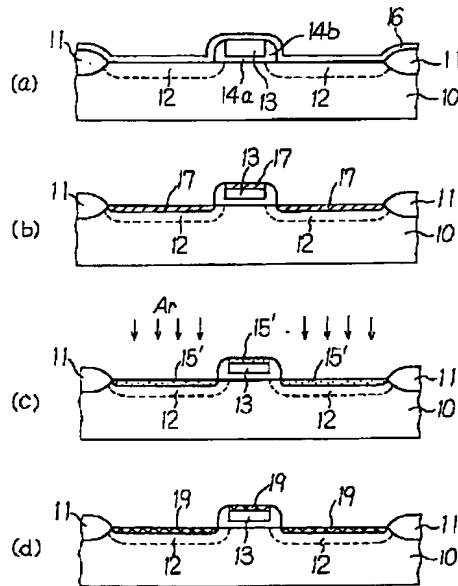
【図4】



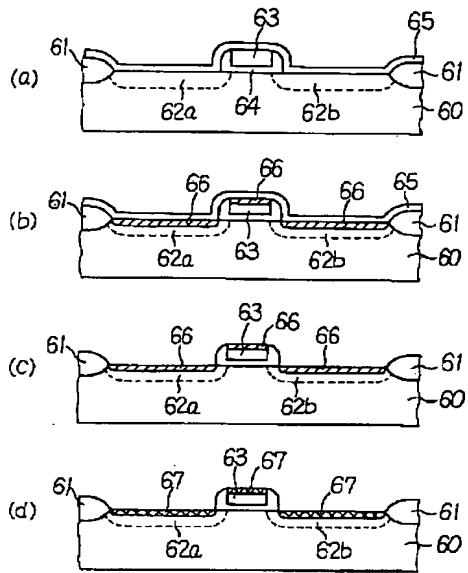
【図3】



【図5】



【図6】



【図7】

